

INGÉNIERIE - ÉLECTRONIQUE, ÉNERGIE ÉLECTRIQUE

SYNTHÈSE DE HAUT NIVEAU (HLS) POUR SYSTEM ON CHIP

Assurant accélération matérielle, sécurité du système et évolutivité du produit, les circuits FPGA sont désormais un composant incontournable des dispositifs d'électronique embarquée. Pour répondre aux cycles toujours plus courts des produits mis sur le marché, il devient indispensable de maîtriser sa relative complexité par l'utilisation experte des (nouveaux) outils de description de haut niveau (High-level synthesis, dit HLS).

A l'issue de cette formation, les participants seront capables de maîtriser l'ensemble du flot de conception d'un système numérique complexe en utilisant un langage de HLS.

PUBLIC ET PRÉ-REQUIS

Public :

- Ingénieurs en charge de concevoir, développer ou maintenir des systèmes sur puce fondés sur des FPGA.

Pré-requis :

- Electronique numérique : FPGA et langage de description matériel (VHDL, Verilog, ...).
- Microprocesseur : architecture et langage de programmation de bas niveau (langage C).
- Le stage « System on Chip (SoC) : co-conception logicielle et matérielle embarquée sur FPGA » est un excellent point d'entrée de cette formation.
- Informatique : l'algorithmique est un second point d'entrée possible pour cette formation.


PROGRAMME

- Outil de description haut niveau HLS.
 - Flot de conception allant du cahier des charges initial à la configuration de l'application dans une cible FPGA,
 - Concepts et principes généraux régissant l'outil HLS,
 - Mise en œuvre et implantation d'une fonction logique dans un FPGA,
 - Définition des directives pour maîtriser l'implantation de la fonction sur la cible matérielle.
- Synthèse d'un bloc IP matériel spécifique :
 - Règles de conception d'un bloc IP, fondée sur l'outil HLS et en tenant compte des limites et des spécificités de l'implantation dans la cible FPGA,
 - Analyse de l'architecture générée et validation fonctionnelle.
- Synthèse d'un système mixte (microprocesseur et logiciel / blocs logiques matériels) :
 - Etudes des directives qui permettent d'intégrer l'IP sur une plateforme SoC à base de FPGA,
 - Règles de définition des directives permettant de paramétrer le processus complet.
- Etude de cas permettant de mettre en œuvre et de valider l'ensemble des compétences abordées.

OBJECTIFS & COMPÉTENCES

- Maîtriser le flot de conception fondé sur un langage de description de haut niveau.
- Maîtriser les règles d'écriture du code C pour garantir sa bonne interprétation par l'outil HLS.
- Définir les directives de synthèse pour obtenir la synthèse logique souhaitée.
- Intégrer le bloc généré par l'outil HLS dans l'architecture mixte logiciel / matériel.

Informations clés

 **Durée :**
21 heures

 **Tarif :**
1800 €

Informations

Catégorie de l'action de développement des compétences:
(Article L6313-1 du Code du Travail)
Action de formation
Effectifs : 3 à 12 participants
Possibilité de sessions sur-mesure

Contact

ingenierie-fc@sorbonne-
universite.fr

LES + DE LA FORMATION

- Conditions d'apprentissage optimales : un poste de travail par stagiaire permettant une mise en application directe et personnalisée.
- Formation s'appuyant sur les résultats issus de la recherche.
- Formation offrant un gain de productivité considérable pour les équipes de développement.
- L'équipe pédagogique, experte dans la conception des systèmes numériques embarqués, fait profiter les stagiaires de son expérience dans des projets industriels complexes.

MÉTHODES PÉDAGOGIQUES

Méthodes

- Pédagogie progressive partant du cas d'étude minimal pour arriver à l'implantation d'un dispositif complexe dans un SoC.
- Méthode pédagogique privilégiant alternance de théorie et de pratique.

Modalités d'évaluation

Attestation de fin de formation

ET APRÈS ?

Cette formation permet aux individus de sécuriser leur parcours professionnel en leur donnant les compétences nécessaires pour accompagner les entreprises dans les enjeux liés à leur secteur d'activité et s'adapter aux évolutions technologiques associées.

POUR CANDIDATER

Inscription via formulaire (voir site web).